

PAT-NO: JP405324597A
DOCUMENT-IDENTIFIER: JP 05324597 A
TITLE: RESET CIRCUIT OF MULTI-PROCESSOR SYSTEM

PUBN-DATE: December 7, 1993

INVENTOR-INFORMATION:

NAME	COUNTRY
HAYASHI, TAIZO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MUTOH IND LTD	N/A

APPL-NO: JP04152680

APPL-DATE: May 20, 1992

INT-CL (IPC): G06F015/16 , G06F015/16 , G06F001/24

ABSTRACT:

PURPOSE: To separately operate a sub-processor and to simplify the reset circuit at the time when a power source is turned on, in the multi-processor system for giving a parallel processing instruction from a main processor to plural sub-processors which can be operated independently.

CONSTITUTION: A power-on reset part 3 generates a reset signal PONRST at the time of detecting a rise of a power supply voltage, and a hang-up detecting part 21 in a main processor detects a sub-processor subjected to hang-up, and outputs data D24-D31. A specific address generating part 22 in a CPU 20 generates specific addresses A02-A15 at the time when hang-up of the sub-processor is generated, and a soft reset signal generating part 4 generates a second reset signal RST, when it is accessed by a specific address. A reset signal output part 5 outputs selectively a reset signal to only the sub-processor corresponding to hang-up data, and also, outputs the reset signal to all of plural sub-processors irrespective of the hang-up data.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-324597

(43)公開日 平成5年(1993)12月7日

(51)Int.Cl.⁵
G 0 6 F 15/16
1/24

識別記号 庁内整理番号
4 7 0 R 9190-5L
4 2 0 S 9190-5L

F I

技術表示箇所

7165-5B

G 0 6 F 1/ 00

3 5 1

審査請求 未請求 請求項の数3(全7頁)

(21)出願番号

特願平4-152680

(22)出願日

平成4年(1992)5月20日

(71)出願人 000238566

武藤工業株式会社

東京都世田谷区池尻3丁目1番3号

(72)発明者 林 泰三

東京都世田谷区池尻3丁目1番3号 武藤
工業株式会社内

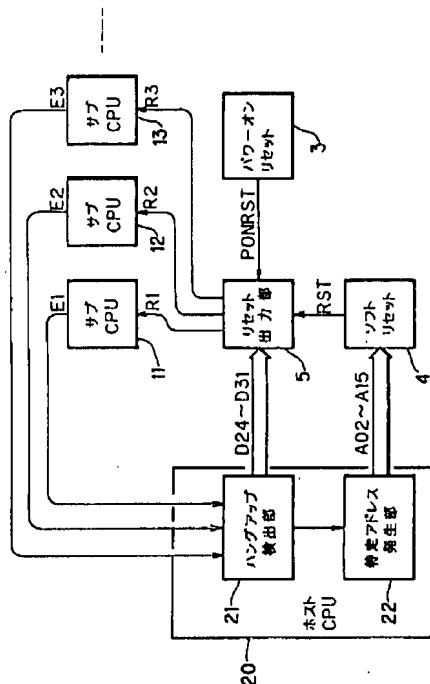
(74)代理人 弁理士 伊丹 勝

(54)【発明の名称】 マルチプロセッサシステムのリセット回路

(57)【要約】 (修正有)

【目的】 独立して動作可能な複数の副プロセッサに対して主プロセッサから並行処理命令を与えるマルチプロセッサシステムにおいて、副プロセッサの個別と電源投入時のリセット回路を簡略化。

【構成】 パワーオンリセット部3は電源電圧の立ち上がり検出時にリセット信号PON RSTを発生。主プロセッサ内のハンギングアップ検出部21は、ハンギングアップした副プロセッサを検出、データD24～D31を出力。CPU20内の特定アドレス発生部22は、副プロセッサのハンギングアップ発生時に特定アドレスA02～A15を発生。ソフトリセット信号発生部4は特定アドレスでアクセスされると第2のリセット信号RSTを発生。リセット信号出力部5は前記ハンギングアップデータに対応した副プロセッサだけにリセット信号を選択的に出力し、またハンギングアップデータとは無関係にリセット信号を前記複数の副プロセッサの全てに対して出力する。



1

【特許請求の範囲】

【請求項1】 独立して動作可能な複数の副プロセッサと、これら複数の副プロセッサに対して並行処理命令を与える主プロセッサとを備えたマルチプロセッサシステムにおいて、

電源電圧の立ち上り検出時に第1のリセット信号を発生するハードウェア構成のパワーオンリセット信号発生部と、

前記複数の副プロセッサから個々に出力されるエラー信号を監視してハングアップした副プロセッサを検出し、その副プロセッサを示すハングアップデータを出力する、前記主プロセッサ内にソフトウェアで構成されたハングアップ検出部と、

このハングアップ検出部が前記副プロセッサのハングアップを検出したときは特定アドレスを発生する、前記主プロセッサ内にソフトウェアで構成された特定アドレス発生部と、

前記特定アドレスでアクセスされると第2のリセット信号を発生するハードウェア構成のソフトリセット信号発生部と、

前記複数の副プロセッサのそれに対応する個別のリセット信号出力端子を有し、前記第2のリセット信号について、前記ハングアップデータに対応した副プロセッサだけに選択的に出力し、また前記第1のリセット信号については、前記ハングアップデータとは無関係に前記複数の副プロセッサの全てに対し出力するハードウェア構成のリセット信号出力部とを備えてなることを特徴とするマルチプロセッサシステムのリセット回路。

【請求項2】 リセット信号出力部が、ハングアップ検出部によってハングアップデータを書き込まれるラッチと、第1、第2のリセット信号及び前記ラッチの出力を入力として複数の副プロセッサに対し個別にリセット信号を分配するロジック回路とからなることを特徴とする請求項1に記載のマルチプロセッサシステムのリセット回路。

【請求項3】 特定アドレス発生部からの特定アドレスをデコードし、ソフトリセット信号発生部を起動すると共に、リセット信号出力部のラッチにハングアップデータを取り込ませるアドレスデコーダを設けたことを特徴とする請求項2に記載のマルチプロセッサシステムのリセット回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、独立して動作可能な複数の副プロセッサに対して主プロセッサから並行処理命令を与えるマルチプロセッサシステムのリセット回路に関する。

【0002】

【従来の技術】 独立して動作可能な複数の副プロセッサを主プロセッサで管理し、これらの副プロセッサで複雑

2

な処理を分散して並行処理させるマルチプロセッサシステムは、画像処理等の複雑且つ時間がかかる処理を短時間内に完了させるのに都合がよい。この種のマルチプロセッサシステムでは、電源投入時は全てのプロセッサをリセットしてから動作を開始する。このパワーオンリセットとは別に、稼働状態になってからハングアップした副プロセッサをリセットすることも必要になる。

【0003】 パワーオンリセットは全てのプロセッサを対象とすれば良いので、ハード構成を共通化でき、簡単な構成で済む。これに対しハングアップ時のソフトリセットに対しては2通りの対処法がある。1つは、ハングアップが生じたら全ての副プロセッサをリセットしてしまう共通リセット法である。他の1つは、ハングアップが生じた副プロセッサだけをリセットする個別リセット法である。

【0004】

【発明が解決しようとする課題】 上述した共通リセット法によれば、ソフトリセット時にもリセット回路を共用できるので、ハード構成は簡単になるが、ハングアップを起こしていない副プロセッサまでリセットしてしまうため、それまでの処理が無駄になる欠点がある。一方、個別リセット法によれば、ハングアップしていない副プロセッサは処理を継続できるため処理効率は低下しないが、ソフトリセット時のリセット回路を個々に必要とするためハード構成が複雑になる欠点がある。

【0005】 本発明は、この様な点を改善し、独立して動作可能な複数の副プロセッサに対して主プロセッサから並行処理命令を与えるマルチプロセッサシステムにおいて、副プロセッサの個別及び電源投入時のリセット回路の構成を簡略化することを目的としている。

【0006】

【課題を解決するための手段】 上記目的を達成するため本発明では、独立して動作可能な複数の副プロセッサと、これら複数の副プロセッサに対して並行処理命令を与える主プロセッサとを備えたマルチプロセッサシステムにおいて、電源電圧の立ち上り検出時に第1のリセット信号を発生するハードウェア構成のパワーオンリセット信号発生部と、前記複数の副プロセッサから個々に出力されるエラー信号を監視してハングアップした副プロセッサを検出し、その副プロセッサを示すハングアップデータを出力する、前記主プロセッサ内にソフトウェアで構成されたハングアップ検出部と、このハングアップ検出部が前記副プロセッサのハングアップを検出したときは特定アドレスを発生する、前記主プロセッサ内にソフトウェアで構成された特定アドレス発生部と、前記特定アドレスでアクセスされると第2のリセット信号を発生するハードウェア構成のソフトリセット信号発生部と、前記複数の副プロセッサのそれに対応する個別のリセット信号出力端子を有し、前記第2のリセット信号については、前記ハングアップデータに対応した副プロセッ

サだけに選択的に出力し、また前記第1のリセット信号については、前記ハンギングアップデータとは無関係に前記複数の副プロセッサの全てに対し出力するハードウエア構成のリセット信号出力部とを備えてなることを特徴としている。

【0007】

【作用】ハンギングアップ検出部は、複数の副プロセッサから個々に出力されるエラー信号を監視し、ハンギングアップした副プロセッサを検出してハンギングアップデータを出力する。特定アドレス発生部は、副プロセッサのハンギングアップ発生時に特定アドレスを発生する。パワーオンリセット信号発生部は電源電圧の立上り検出時に第1のリセット信号を発生する。一方、ソフトリセット信号発生部は前記特定アドレスでアクセスされると第2のリセット信号を発生する。リセット信号出力部は、前記ハンギングアップデータに対応した副プロセッサだけに第2のリセット信号を選択的に出力し、また前記ハンギングアップデータとは無関係に第1のリセット信号を前記複数の副プロセッサの全てに対し出力する。従って、稼働中の副プロセッサに対するハンギングアップ時のソフトリセットを個別に行うことができ、しかも個々にリセット回路を設ける必要がないので構成が複雑化することもない。また、同じリセット回路の一部はパワーオンリセットにも共用されるので、この点でも構成が簡単である。

【0008】

【実施例】以下、図面を参照して本発明の実施例を説明する。図1は本発明の基本構成図で、11, 12, 13は独立して動作可能な複数の副プロセッサ、20はこれら複数の副プロセッサを管理して並行処理させる主プロセッサ、21はこの主プロセッサの内部にソフトウエアで構成された副プロセッサのハンギングアップ検出部、22もこの主プロセッサの内部にソフトウエアで構成されたソフトリセット用の特定アドレス発生部、3はハード構成のパワーオンリセット信号発生部、4はハード構成のソフトリセット信号発生部、5はハード構成のリセット信号出力部である。

【0009】副プロセッサ11, 12, 13が並行処理している場合、特に相互間にプライオリティが定められていないと、例えばデータ転送時のスタートビットの衝突によりハンギングアップが生ずる。ハンギングアップした副プロセッサは主プロセッサ20に対しエラー信号を送出するので、主プロセッサ20内ではソフト的に以下のように処理をする。即ち、ハンギングアップ検出部21は、複数の副プロセッサ11, 12, 13…から個々に出力されるエラー信号E1, E2, E3…を監視し、ハンギングアップした副プロセッサを検出したらその副プロセッサの番号を示すハンギングアップデータD24～D31を出力する。そして、特定アドレス発生部22は、ハンギングアップ検出部21が副プロセッサのハンギングアップを検出したときにソフトリセットを発生させるための特定アドレスA

02～A15を発生する。

【0010】ソフトリセット信号発生部4はこの特定アドレスでアクセスされるとソフトリセット信号RSTを発生する。リセット信号出力部5は、副プロセッサのそれぞれに対応したリセット信号出力端子R1, R2, R3を有し、前記ハンギングアップデータに対応した副プロセッサだけにソフトリセット信号RSTを選択的に出力する。この様に、本発明のソフトリセットは、ハンギングアップを起こした副プロセッサだけをリセットできるので、残りのハンギングアップしていない副プロセッサの処理を継続させることができ、しかもソフトリセット信号発生部4を全ての副プロセッサ11, 12, 13で共用できるので、構成が複雑化しない。

【0011】一方、パワーオンリセット信号発生部3は電源電圧の立上り検出時にパワーオンリセット信号PONRSTを発生する。リセット信号出力部5は、パワーオンリセット信号PONRSTが入力すると、前記ハンギングアップデータとは無関係にパワーオンリセット信号PONRSTを全ての副プロセッサ11, 12, 13に対し出力する。この場合もリセット信号出力部5は共用されるため、ハード構成の簡略化が図れる。

【0012】図2は本発明の一実施例を示す要部ブロック図である。この図は、図1のパワーオンリセット信号発生部3、ソフトリセット信号発生部4、リセット信号出力部5の具体的な構成を示している。図2において、6は主プロセッサに接続されるバスコネクタで、説明に必要なアドレスバスA00～A31及びデータバスD24～D31、データセレクトDS、リセット信号RESET等の各端子を備えている。このリセット信号RESETは、パワーオンリセット信号発生部3を起動してパワーオンリセット信号PONRSTを発生させるためのものである。また、データセレクトDSは、後述するソフトリセット用の起動信号CSRSTを有効にするためのものである。

【0013】7は複数の副プロセッサから入力するエラー信号E0～E7を取り込んでデータバスD24～D31に乗せるBTR（バストランシーバ）であり、図1のハンギングアップ検出部21はリード信号CSERRDを出力し、BTR7をスルーにしてデータD24～D31を読み込み、各副プロセッサのハンギングアップを個別に検出する。図1の特定アドレス発生部22が、ハンギングアップ検出部21から起動されてソフトリセット用の特定アドレスA02～A15を発生すると、即ちアドレスA02～A15をソフトリセット用の特定パターンに設定すると、図2の下位ADD（アドレスデコーダ）8Bはこの特定アドレスをデコードして、ソフトリセット用の起動信号CSRSTを発生する。尚、8AはアドレスA16～A31をデコードする上位ADDであるが、ここでの説明には使用しない。

【0014】起動信号CSRSTは、第1にソフトリセ

ット信号発生部4の起動に使用され、第2にラッチ5Aのクロックとして使用される。このラッチ5Aは後段のPLD（プログラマブル・ロジック・デバイス）5Bと共にリセット信号出力部5を構成する。PLD5Bは各副プロセッサ対応の個別のリセット信号出力端子R0～R7を有する。このPLD5Bには、ラッチ5Aの出力（ハンギングアップデータ）と、2種類のリセット信号RST, PONRSTが入力し、そのハードロジックにより、パワーオンリセット信号PONRSTは全てのリセット信号出力端子R0～R7に共通に分配され、また、ソフトリセット信号RSTは、ラッチ5Aの出力が示すハンギングアップした副プロセッサに対応するリセット信号出力端子のみに分配される。尚、実際に分配されるリセット信号のレベル（H/L）は、各出力端子毎にPLD5B内部のプログラムで任意に選択することができる。

【0015】以下は、PLDのプログラムリストを論理表現式で示したものである。この式は、パワーオンリセット信号PONRSTがアクティブになったとき、または、ソフトリセット信号RSTとデータバスD0i（ただし、 $i = 0 \sim 7$ ）のビットの論理積の結果が成立したときに、リセット信号Riが出力されることを示している。

【0016】

【数1】
 $R0 = PONRST + (RST \times D00)$
 $R1 = PONRST + (RST \times D01)$
 $R2 = PONRST + (RST \times D02)$
 $R3 = PONRST + (RST \times D03)$
 $R4 = PONRST + (RST \times D04)$
 $R5 = PONRST + (RST \times D05)$
 $R6 = PONRST + (RST \times D06)$
 $R7 = PONRST + (RST \times D07)$

【0017】図3は本発明の他の実施例を示す要部ブロック図で、図2と同様の部分を詳細に示している。この実施例では、図2のリセット信号出力部5とBTR7を組として、これを複数組、対象とする副プロセッサの数（本例では最大4台）に応じて設けるようにしてある。即ち、BTR71、ラッチ5A1、PLD5B1はエラー信号E1～E8を入力としてリセット信号R1～R8を出力する第1の組である。同様に、BTR72、ラッチ5A2、PLD5B2はエラー信号E9～E16を入力としてリセット信号R9～R16を出力する第2の組である。BTR73、ラッチ5A3、PLD5B3はエラー信号E17～E24を入力としてリセット信号R17～R24を出力する第3の組であり、また、BTR74、ラッチ5A4、PLD5B4はエラー信号E25～E32を入力としてリセット信号R25～R32を出力する第4の組である。

【0018】図2の例ではBTR7からの読み込み、およびラッチ5Aへの書き込みに8本のデータバスD24～D31しか使用していないが、図3の場合は32本の

バスD00～D31を8本ずつD00～D07、D08～D15、D16～D23、D24～D31に分けて、4組の系で衝突ないように使用する。また、図3の場合は、上位ADD8Aによる上位アドレスデコードの結果を下位ADD8Bに入力して32bitアドレッシングによりアドレスデコードする。また、上位アドレスデコードの結果はDSACKとしてコネクタ6を通してホストCPUに転送され、そこでウエイトの無いインターフェイスのタイミング生成に利用される。尚、プロセッサ数が32を越える場合は、それぞれがアドレスデコーダを含む図3の構成を1組として、これを複数組設けることにより、対応することができる。

【0019】図4は、副プロセッサの1例を示すブロック図である。この副プロセッサはエラー信号Eの出力端子ERRORとリセット信号RESETの入力端子RESETを有し、これらが図2或いは図3のBTR7の1入力端子及びPLD5Bの1出力端子に接続される。並列処理できる副プロセッサには種々の形式があるが、ここではシリアルリンクと呼ばれるシリアル通信ポートLINKを用いて外部プロセッサとの間でシリアルに通信することができ、また外部メモリに対してはアドレスバスA02～A31及びデータバスD00～D31を用いてパラレルにアクセスできるタイプ、例えばSGSトムソン社製のトランスピュータ（商品名）を示している。このトランスピュータは、平行プロセスの記述が可能な高級言語OCCAMのプロセスモデルを効率よく実現するために開発され、並行処理に適している。また、外部プロセッサとの接続には、入出力一対のシリアルリンクLINKを使用すれば済む点もマルチプロセッサシステムを構成する上で使いやすい。

【0020】図5は複数のトランスピュータを使用したマルチプロセッサシステムの一例を示している。同図において、101～103はトランスピュータ、201～203は外部のダイナミック型ランダムアクセスメモリ（DRAM）、301～303は外部のスタティック型ランダムアクセスメモリ（SRAM）、401～403は周辺装置（PERIPHERAL）、501～503はトランスピュータ間を接続する外部チャネルである。

【0021】トランスピュータ101～103は、RISC（縮小命令セットコンピュータ）タイプのプロセッサ（RISC CPU）111～113を中心に、高速動作可能な内部メモリ（SRAM）121～123、外部との間でシリアル通信する際に使用するシリアルリンク（LINK）131～133、外部メモリに対するインターフェイス（EMI）141～143を標準的に備え、これらの間を内部バス151～153で接続している。またEMI141～143と外部メモリ201～203、301～303との間はバス161～163で接続される。

【0022】図5に示すトランスピュータ101は、こ

の中では上位の機種であるため、LINK131の数が
最も多い「4」である他、浮動小数点演算部(FPU)
171も備え、また外部メモリとしてリードオンリーメ
モリ(ROM)601も使用している。トランスピュー
タ102はこれに次ぐ機種で、FPUは無いが、LINK
132の数は「4」である。トランスピュータ103
はこの中では最も簡単な構成で、LINK133の数は
「2」である。但し、これらの機種間の相違は本質的な
ことではない。

【0023】トランスピュータ101～103間の接続
は、それが入出力各1ライン、即ち各一对のシリアル
ラインを使用する外部チャネル501～503だけで
簡単に行うことができる(バス結合する必要がない)。
この外部チャネルに対しては、P/S(パラレル/シリ
アル)変換器を用いれば、通常のCPU(例えばホスト
CPU)も接続することができ、この様にして各CPU
間でシリアルに通信が行われる。一方、トランスピュー
タと外部メモリとの間はバス結合されるため、パラレル
にメモリアクセスが行われる。

【0024】

【発明の効果】以上述べたように本発明によれば、独立
して動作可能な複数の副プロセッサに対して主プロセッサ

サから並行処理命令を与えるマルチプロセッサシステム
において、副プロセッサの個別及び電源投入時のリセット回路の構成を簡略化することができる。

【図面の簡単な説明】

【図1】 本発明の原理構成図である。

【図2】 本発明の一実施例を示すブロック図である。

【図3】 本発明の他の実施例を示すブロック図である。

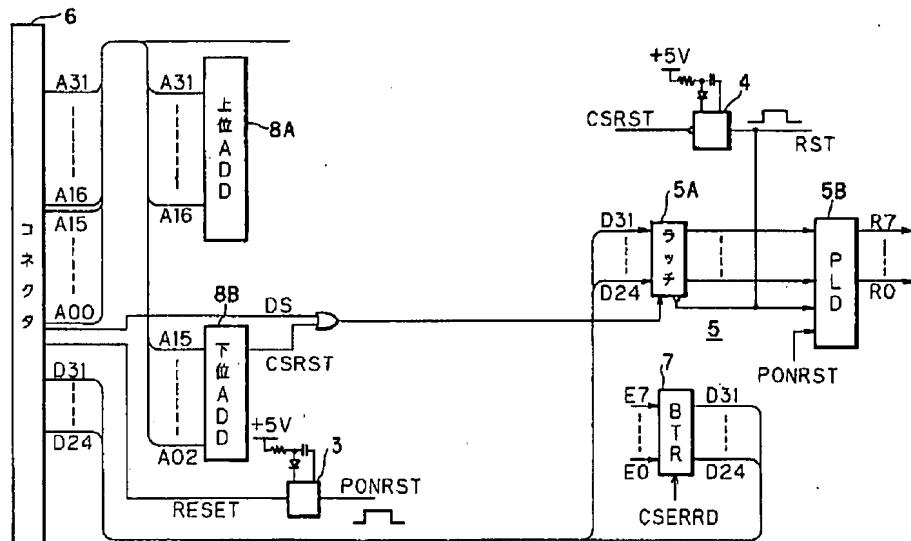
【図4】 副プロセッサの1例を示すブロック図である。

【図5】 シリアル通信機能を有するマルチプロセッサ
システムの一例を示すブロック図である。

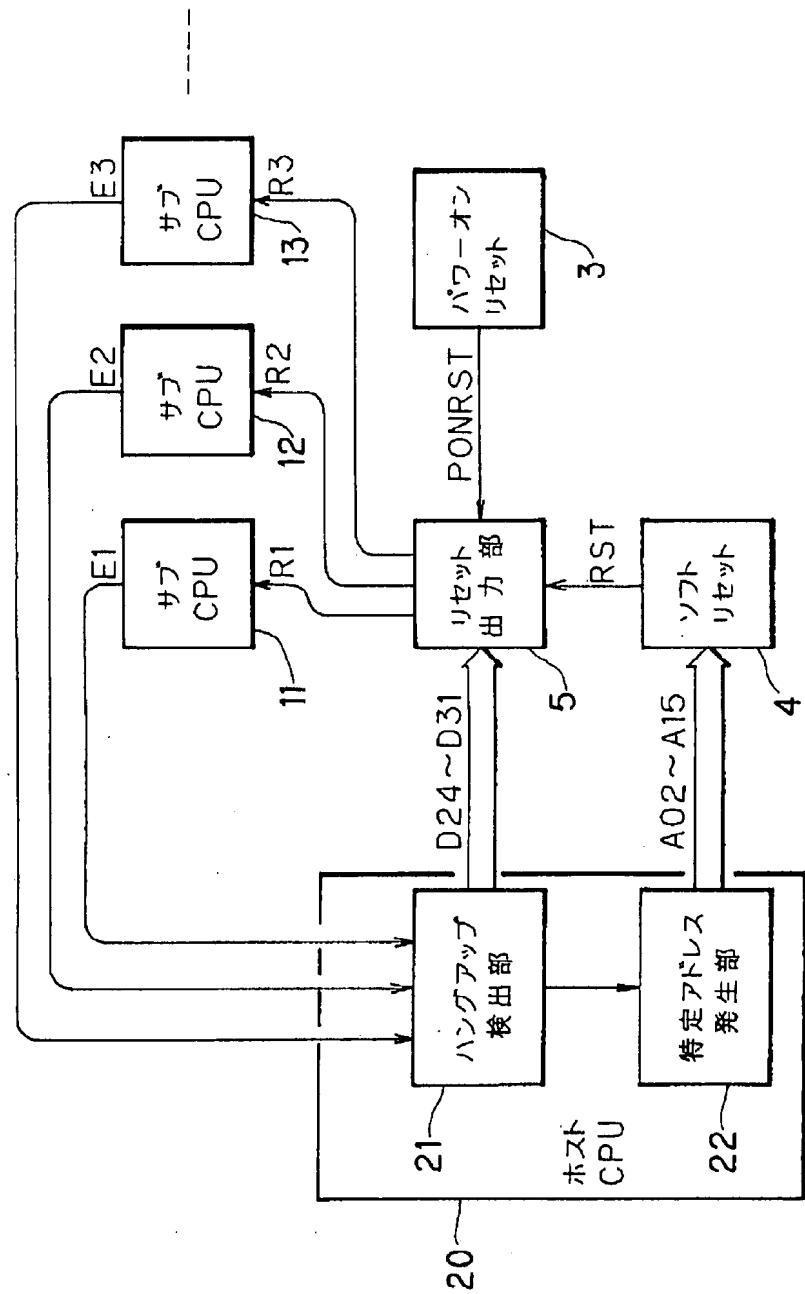
【符号の説明】

11, 12, 13…副プロセッサ、20…主プロセッサ、
21…ハングアップ検出部、22…特定アドレス発
生部、3…パワーオンリセット信号発生部、4…ソフ
トリセット信号発生部、5…リセット信号出力部、5A…
ラッチ、5B…プログラマブルロジックデバイス(PL
D)、7…バストランシーバ(BTR)、8…アドレス
デコーダ(ADD)、131～133…シリアルリン
ク、151～153…内部バス、161～163…外部
バス、501～503…シリアル通信用外部チャネル。

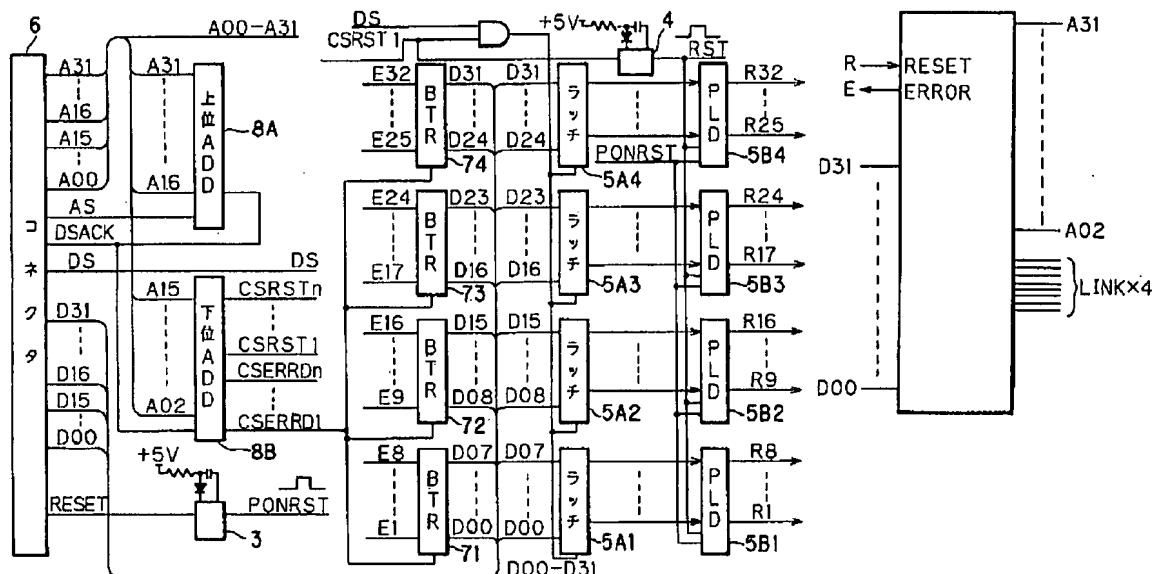
【図2】



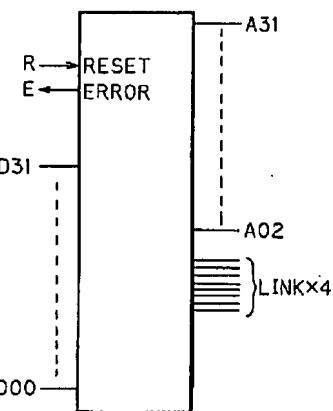
【図1】



【図3】



【図4】



【図5】

